

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-135777
(P2001-135777A)

(43) 公開日 平成13年5月18日 (2001.5.18)

(51) Int.Cl. ⁷	識別記号	F I	テラート* (参考)
H 0 1 L	25/065	H 0 1 L	25/08
	25/07		B
	25/18		

審査請求 有 請求項の数 1 O L (全 4 頁)

(21) 出願番号 特願平11-314081

(22) 出願日 平成11年11月4日 (1999. 11. 4)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 傳 桂一

京都市右京区西院溝崎町21番地

ローム株

式会社内

(74) 代理人 100087701

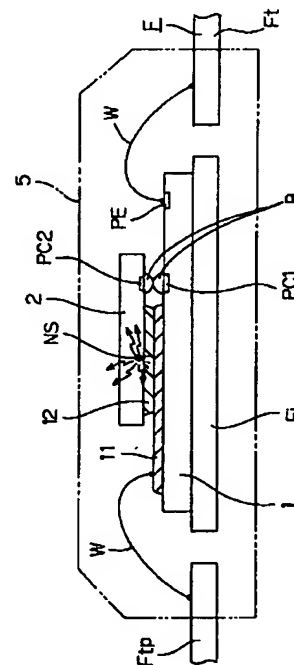
弁理士 稲岡 耕作 (外 2 名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 一方のチップが発生する輻射ノイズの影響を他方のチップが受けることのないチップ・オン・チップ構造の半導体装置を提供する。

【解決手段】 親チップ1と子チップ2とが活性表面を対向させて接合されて、チップ・オン・チップ構造が形成されている。子チップ2のノイズ源付近の表面にノイズシールド膜12が形成されている。このノイズシールド膜12は、親チップ1の表面に形成されたノイズシールド膜11に接触または接合されている。このノイズシールド膜11は、ボンディングワイヤWにより、電源電位または接地電位が与えられた電源用端子部Ftpに接続されている。



【特許請求の範囲】

【請求項1】 第1の半導体チップと、

この第1の半導体チップに重ね合わせて接合された第2の半導体チップと、

上記第1の半導体チップと上記第2の半導体チップとの間に設けられ、上記第1および第2の半導体チップ相互間のノイズの影響を防止するノイズシールド膜とを含むことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、いわゆるチップ・オン・チップ構造の半導体装置に関する。

【0002】

【従来の技術】 第1の半導体チップ（親チップ）上に、第2の半導体チップ（子チップ）をたとえばフェースダウンで接合することにより、チップ・オン・チップ構造の半導体装置を構成することが提案されている。この場合、第1および第2の半導体チップ相互間の電気接続は、各チップの表面に設けられたバンパ同士を接合することにより達成される。また、樹脂等のパッケージにチップ・オン・チップ構造を収容した後の外部接続は、リードフレームの端子部と上記第1の半導体チップの外部接続用パッドとの間をワイヤボンディングなどで接続することにより達成される。

【0003】

【発明が解決しようとする課題】 上述のようなチップ・オン・チップ構造の半導体装置では、親チップと子チップとが極めて近接して配置されることになるから、一方のチップからの輻射ノイズの影響で、他方のチップの特性が悪化する場合がある。そこで、この発明の目的は、一方のチップが発生する輻射ノイズの影響を他方のチップが受けることのないように改良されたチップ・オン・チップ構造の半導体装置を提供することである。

【0004】

【課題を解決するための手段および発明の効果】 上記の目的を達成するための請求項1記載の発明は、第1の半導体チップと、この第1の半導体チップに重ね合わせて接合された第2の半導体チップと、上記第1の半導体チップと上記第2の半導体チップとの間に設けられ、上記第1および第2の半導体チップ相互間のノイズの影響を防止するノイズシールド膜とを含むことを特徴とする半導体装置である。

【0005】 この構成によれば、第1の半導体チップと第2の半導体チップとの間にノイズシールド膜を設けたので、一方のチップからの輻射ノイズが他方のチップの動作特性に悪影響を与えることのないチップ・オン・チップ構造の半導体装置を実現できる。なお、上記ノイズシールド膜を電源部（電源ラインまたは接地ライン）に接続する手段をさらに含むことが好ましい。すなわち、たとえば、リードフレームの電源電位部または接地電位

部に、ノイズシールド膜をボンディングワイヤで接続したりすることにより、ノイズシールド膜によるノイズシールド効果を確実に発揮させることができる。

【0006】 上記ノイズシールド膜は、第1の半導体チップと第2の半導体チップの接合に用いられるバンパと同一金属材料で、第1の半導体チップおよび／または第2の半導体チップの表面に形成され金属膜であることが好ましい。この場合、バンパの形成工程において、ノイズシールド膜を同時に形成することができる。半導体チップの最表面には、通常、表面保護膜が形成されているから、ノイズシールド膜は表面保護膜上に形成されるのが好ましい。

【0007】 第1の半導体チップが第2の半導体チップよりも大きい場合には、少なくとも第1の半導体チップにノイズシールド膜を形成すれば、このノイズシールド膜とリードフレームなどとの接続を容易に行える。ノイズシールド膜は、主要なノイズ源を覆う領域に形成されることが好ましい。たとえば、主要なノイズ源が第2の半導体チップ側にあり、第1の半導体チップが第2の半導体チップよりも大きい場合には、ノイズシールド膜は、第2の半導体チップの主要なノイズ源を内包するエリアを覆うシールド部と、このシールド部から第1の半導体チップの表面に沿って外方に引き出された引き出し部とを含んでいてもよい。

【0008】 また、第1および第2の半導体チップは、活性表面同士を対向させて接合されていてもよい。

【0009】

【発明の実施の形態】 以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。図1は、この発明の一実施形態に係る半導体装置の図解的な断面図であり、図2は、この半導体装置の図解的な平面図である。この半導体装置は、第1の半導体チップとしての親チップ1と、第2の半導体チップとしての子チップ2

（図2においては二点鎖線で示す。）とを、互いの活性表面を対向させて接合したチップ・オン・チップ構造を有している。この場合、活性表面とは、トランジスタなどの能動素子や抵抗などの受動素子を含む機能素子が形成された活性表層領域側の表面を指す。親チップ1および子チップ2は、いずれもシリコンチップであってもよいが、ゲルマニウム半導体や化合物半導体（ガリウム砒素やガリウム燐など）などの他の種類の半導体チップであってもよいし、親チップ1と子チップ2との半導体の種類が一致している必要もない。

【0010】 親チップ1および子チップ2の各活性表面には、相互接続のためのチップ間接続パッドPC1、PC2が形成されており、親チップ1の活性表面には、さらに外部接続パッドPEが形成されている。親チップ1および子チップ2の活性表面の最表面には、窒化シリコン膜などからなる表面保護膜（図示せず）が形成されていて、パッドPC1、PC2、PEは表面保護膜に形成

された開口から露出している。そして、親チップ1と子チップ2との電氣的接続および機械的接合は、親チップ1および子チップ2のチップ間接続パッドPC1、PC2の両方または一方に配置されたパンプBを用いて達成されるようになっている。

【0011】親チップ1の外部接続パッドPEは、ボンディングワイヤWを介して、リードフレームFの端子部Ftに接続される。リードフレームFは、半導体チップをダイボンディングするためのアイランド部Fiと、半導体装置のパッケージ内外の接続のための端子部Ftとを有している。そして、親チップ1は、アイランド部Fiにダイボンディングされている。親チップ1および子チップ2の活性表面には、子チップ2から発生したノイズをシールドするためのノイズシールド膜11、12がそれぞれ形成されている。具体的には、子チップ2内に形成されたバイポーラトランジスタなどのノイズ源NSの近傍の子チップ2の最表面を覆うように、たとえば、金などの金属膜からなるノイズシールド膜12（図2では図示を省略した。）が形成されている。また、親チップ1には、子チップ2の表面に形成されたノイズシールド膜12に接触または接合するように、たとえば、金などの金属膜からなるノイズシールド膜11が最表面に形成されている。これらのノイズシールド膜11、12は、パンプBと同じ材料で形成することが好ましく、この場合には、パンプBの形成工程において、ノイズシールド膜11、12を同時に形成することができる。

【0012】親チップ1は、平面視において、子チップ2よりも大きく、ノイズシールド膜11は、ノイズ源NSを内包するエリアに形成されたシールド部11aと、このシールド部11aから、子チップ2に覆われていない領域まで外方に向かって引き出された引き出し部11bとを有している。そして、この引き出し部11bは、ボンディングワイヤWによって、電源電位または接地電位が与えられる電源用端子部Ftp（リードフレームFの端子部Ftの1つ）に接続されている。

【0013】組立ての際には、親チップ1および子チップ2をパンプBにより互いに接合するとともに、ノイズシールド膜11、12を互いに接触させる。そして、親チップ1をアイランド部Fiにダイボンディングし、さらに、親チップ1と端子部Ftとのワイヤボンディングおよびノイズシールド膜11と電源用端子部Ftpとの間のワイヤボンディングを行う。その後、親チップ1およ

び子チップ2のチップ・オン・チップ構造を適当な樹脂を用いてパッケージ5内に封止する。このとき、同時に、アイランド部Fi、端子部Ftの一部およびボンディングワイヤWも、パッケージ5内に封止されることになる。

【0014】上述のとおり構成を有するこの実施形態の半導体装置では、子チップ2のノイズ源NSからの輻射ノイズは、ノイズシールド膜11、12によってシールドされ、親チップ1に到達することがない。そのため、親チップ1が子チップ2からの輻射ノイズの影響を受けて、その動作特性が悪化したりすることがない。むしろ、親チップ1の輻射ノイズが子チップ2の特性に影響を与えることも同時に防止できるから、子チップ2も良好な特性で動作させることができる。

【0015】以上、この発明の一実施形態について説明したが、この発明は他の形態でも実施することができる。たとえば、上述の実施形態では、親チップ1および子チップ2の両方の活性表面にノイズシールド膜11、12を形成し、これらを接触または接合させる構成としているが、たとえば、親チップ1側にのみノイズシールド膜11を形成することとして、子チップ2側のノイズシールド膜12を省いても、同様な効果を達成できる。

【0016】また、子チップ2側にのみノイズシールド膜12を形成することとし、このノイズシールド膜12を、電源電位または接地電位が与えられるべきパンプBに接続しておいてもよい。その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

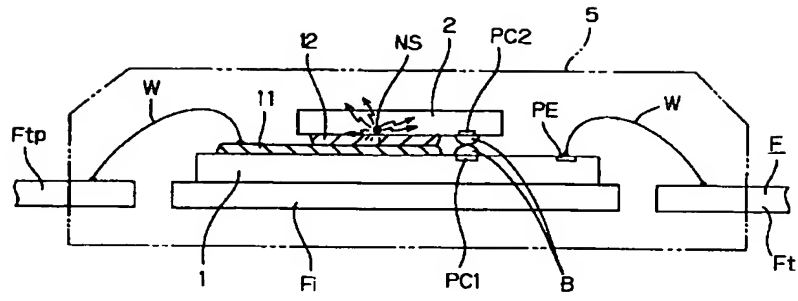
【図1】この発明の一実施形態に係る半導体装置の図解的な断面図である。

【図2】上記半導体装置の図解的な平面図である。

【符号の説明】

- 1 親チップ（第1の半導体チップ）
- 2 子チップ（第2の半導体チップ）
- 11 ノイズシールド膜
- 12 ノイズシールド膜
- NS ノイズ源
- B パンプ
- F リードフレーム
- W ボンディングワイヤ

【図1】



【図2】

